**計算機組織**

**期中報告 - ALU Design**

**109學年度第二學期**

**老師 : 朱守禮 老師**

**班級 : 資訊二甲**

**組別 : 18**

**組員 : 10827124 莊朝翔**

**10827138 廖翊中**

**10827139 黃云潔**

**10827152 華君豪**

一 . 背景

本次project包含AND, OR, ADD, SUB, SLT, SLL, MULTU等7項功能，功能簡述如下 :

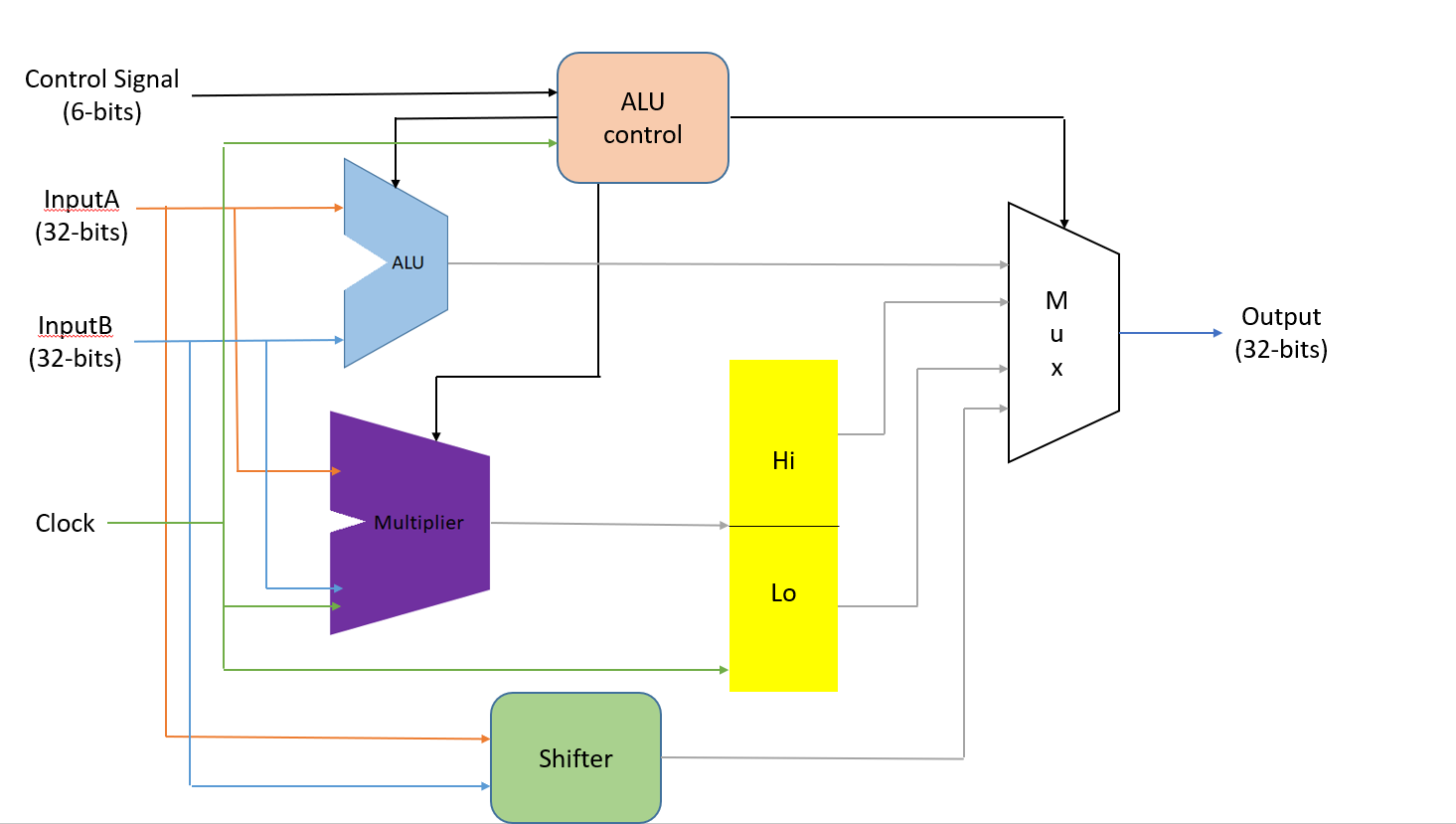
(1)AND,OR,ADD,SUB,SLT之運算方式，參考課程講義[1]P12-28。

(2)MULTU為無號數乘法，其運算方式，參考課程講義[2]P2-P14。

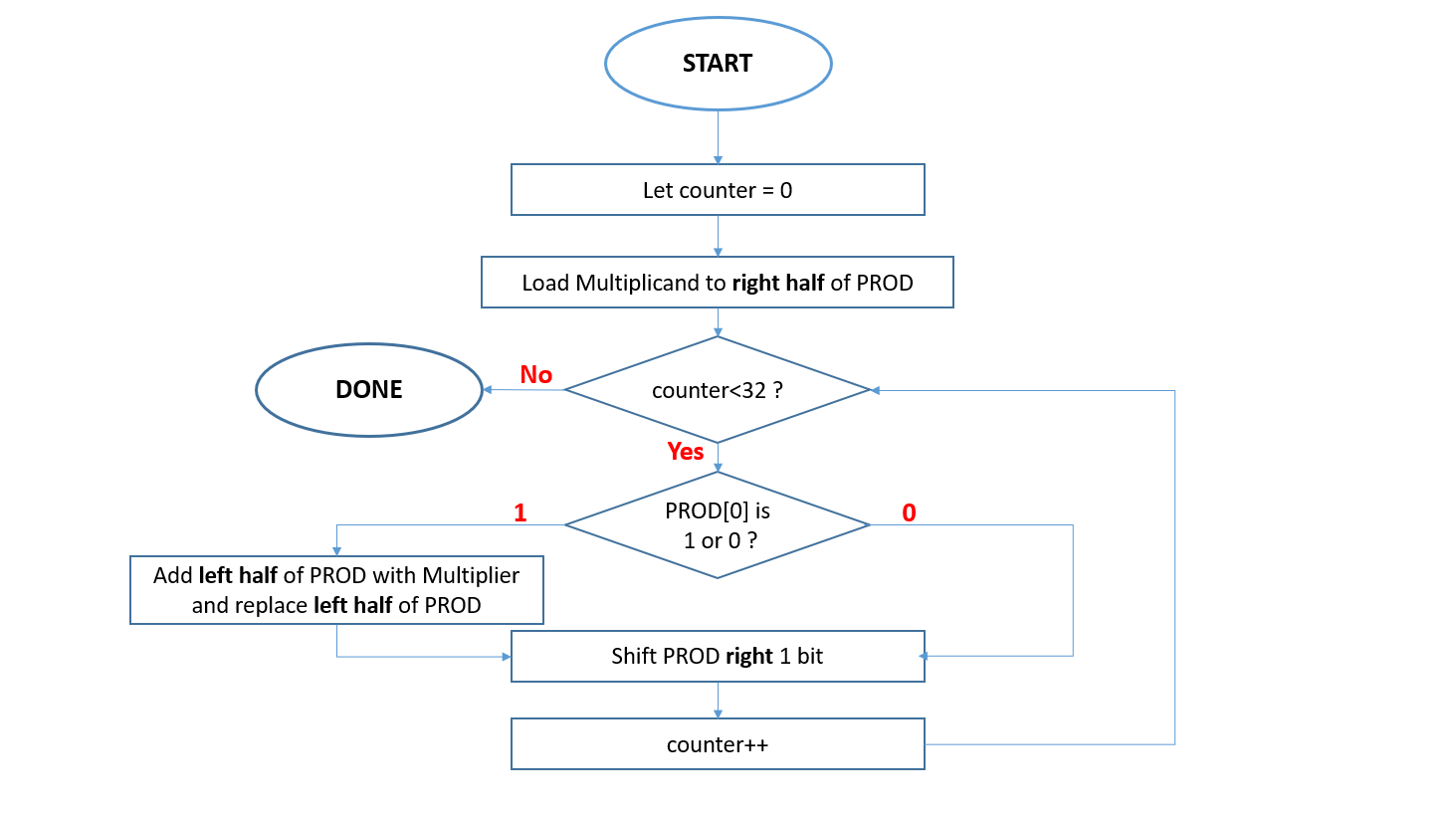
(3)SLL為邏輯左移，其運算方法，參考課程講義[1]P28。

二 . 設計重點說明

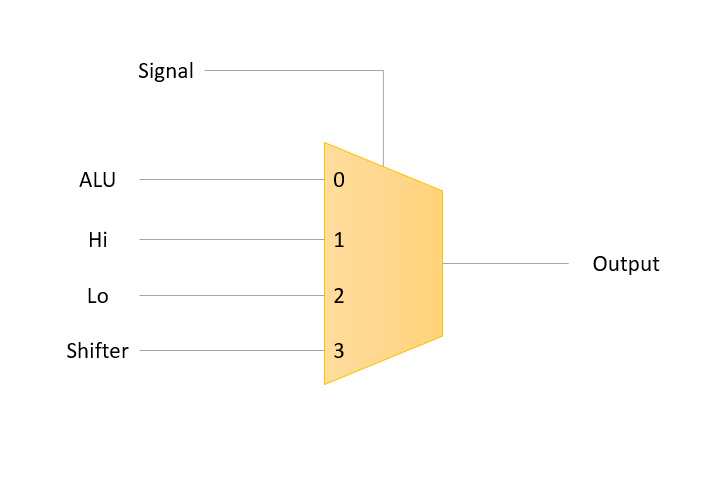
1. TotalALU : top module - 用以整合所有 module。



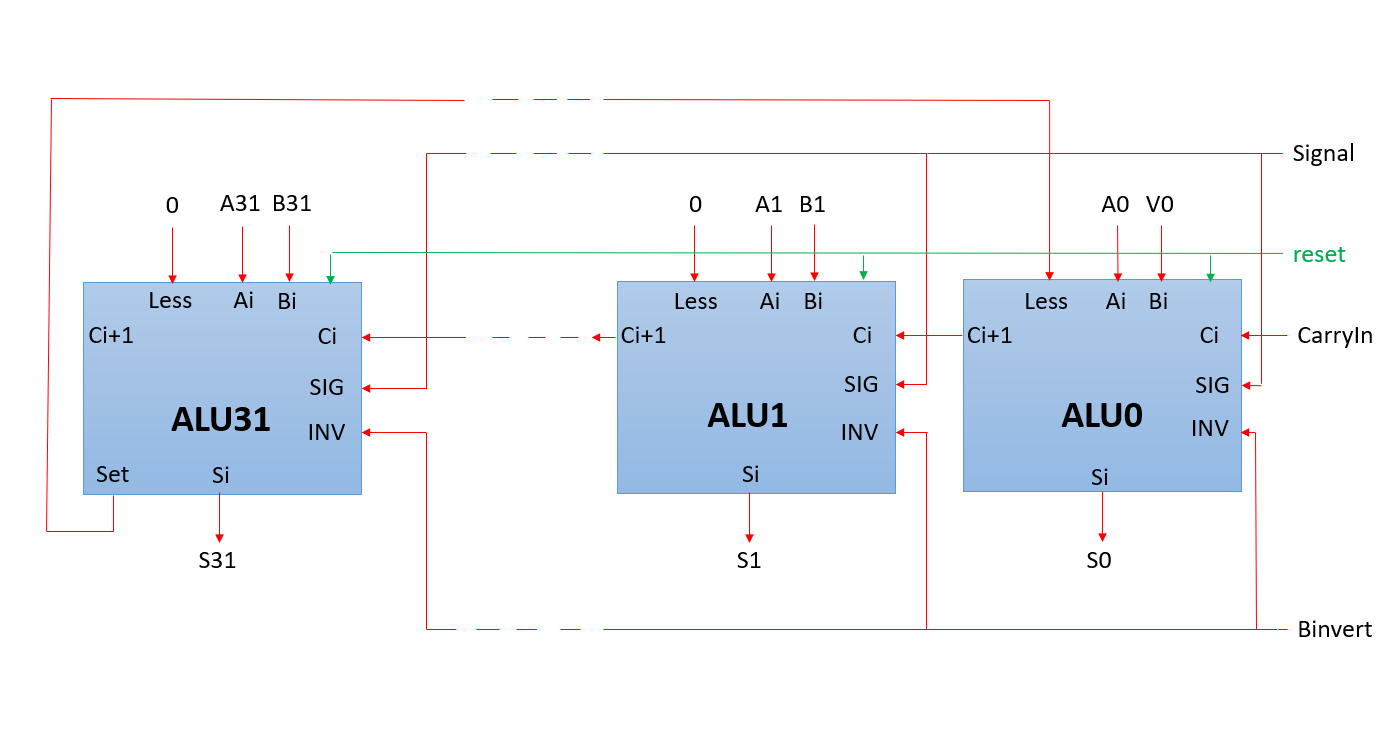
1. Multiplier：第三版的乘法器一開始將乘數放在PROD 64位元暫存器的右半部分，這樣可以從第0位元判斷該被乘數需不需要加上去，做完後做32次右移，可以同時消去乘數，並得出乘積，省去另外分配暫存器給乘數的動作。



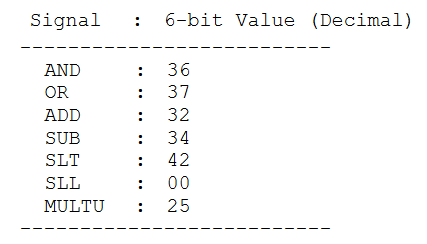
1. HiLo：將乘法器得到的乘積分為Hi、Lo(32位元)輸出，需與clk訊號同步。
2. MUX：需以DataFlow Modeling的方式撰寫，因此使用(?:)條件判斷，做出if-else和case選擇的動作。



1. ALU :包含 AND, OR, ADD, SUB, SLT 等功能，從 Full Adder 做起，以 Ripple-Carry 的進位方式， 連接 32 個 1-bit ALU Bit Slice，成為 32-bit ALU。接收來自ALU Control的Signal訊號決定輸出哪種運算結果，其中第0個ALU Slice的Less輸入為第31個ALU Slice的Set輸出，第2到31個ALU Slice的Less輸入則為0，即可達到SLT之輸出結果。



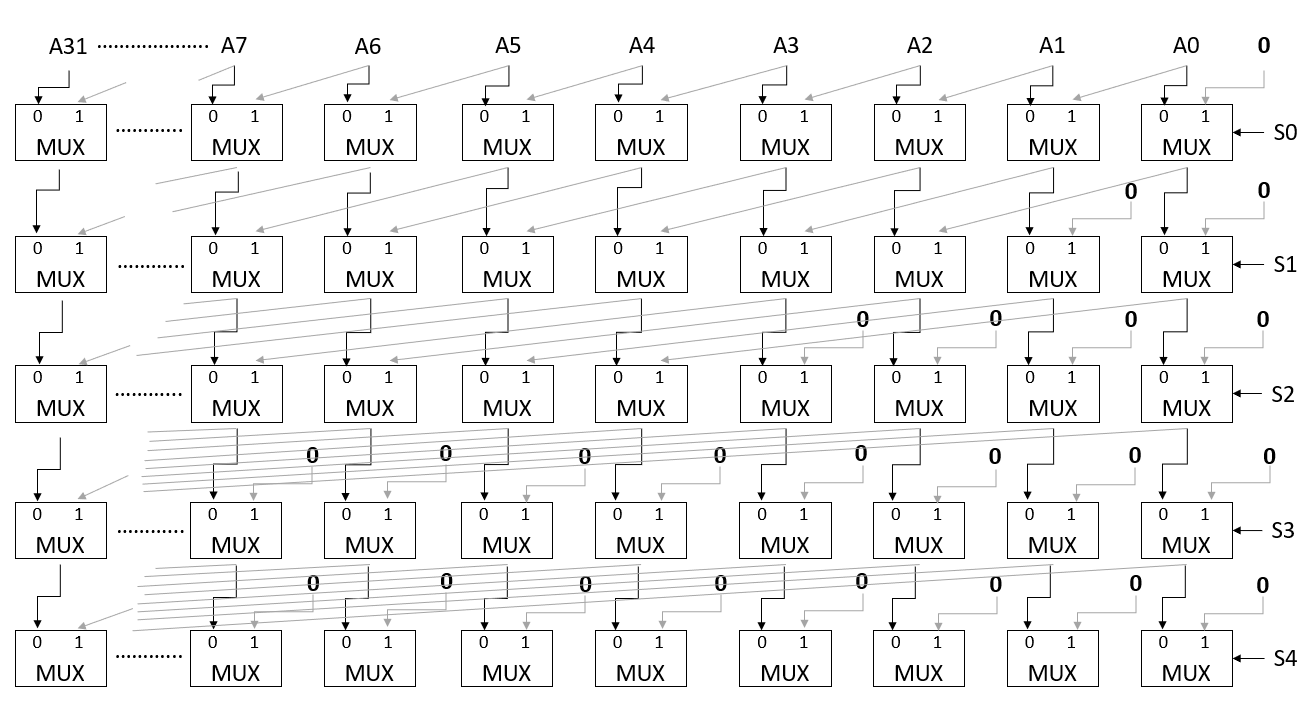
1. ALU Control : 根據輸入的 6-bit Signal控制訊號，決定該完成AND, OR, ADD, SUB, SLT, SLL, MULTU哪一種運算。控制訊號與功能對應如下 :



本模組為循序邏輯(Sequential Logic)，因此須以Clock訊號

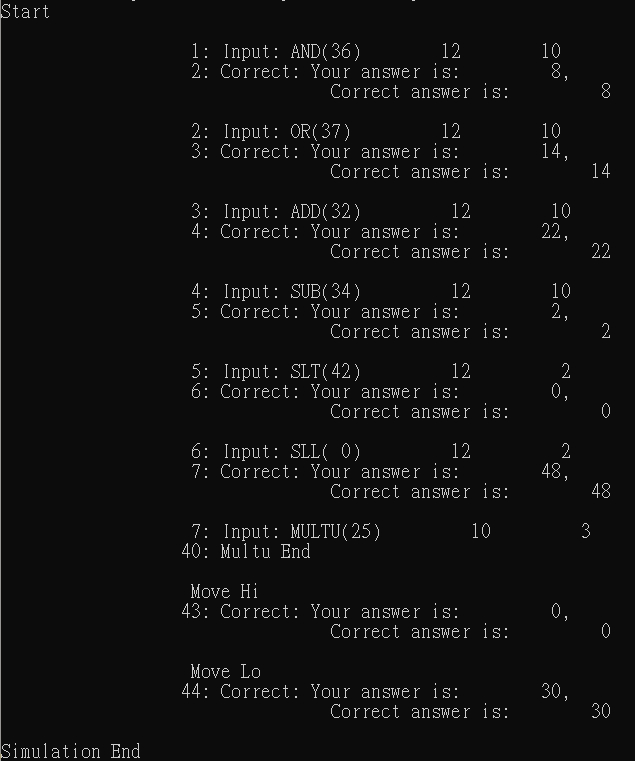
同步。

1. Shifter : 以DataFlow Modeling 設計32-bits Barrel Shifter，以完成邏輯左移運算。總共需要設計出五層，每層32個2對1多工器，共計160個2對1多工器來實現Shifter的功能。



1. Testbench : 為所設計之測試平台，須以讀檔的方式，讀入測試資料，以驗證所設計之模組功能正確性。

三 . 執行結果



根據Input檔送進去後的答案與ans檔對照，均與答案相同

Signal data A data B out ans

AND ( 36 ) 12 10 8 8

OR ( 37 ) 12 10 14 14

ADD ( 32 ) 12 10 22 22

SUB ( 34 ) 12 10 2 2

SLT ( 42 ) 12 2 0 0

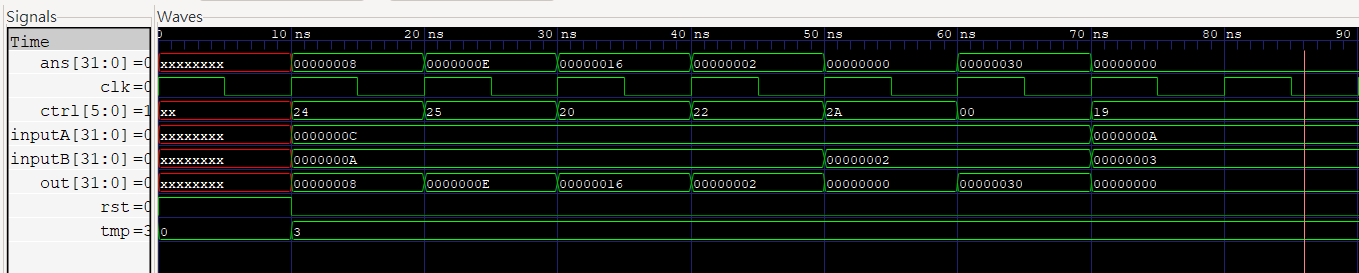
SLL ( 0 ) 12 2 48 48

MULTU( 25 ) 10 3

Lo 0 0

Hi 30 30

ALU、Shifter



(訊號為16進位需要轉成10進位)

10ns~20ns訊號等於24時為AND，所以dataA(12) & dataB(10) = 8

20ns~30ns訊號等於25時為OR，所以dataA(12) | dataB(10) = 14

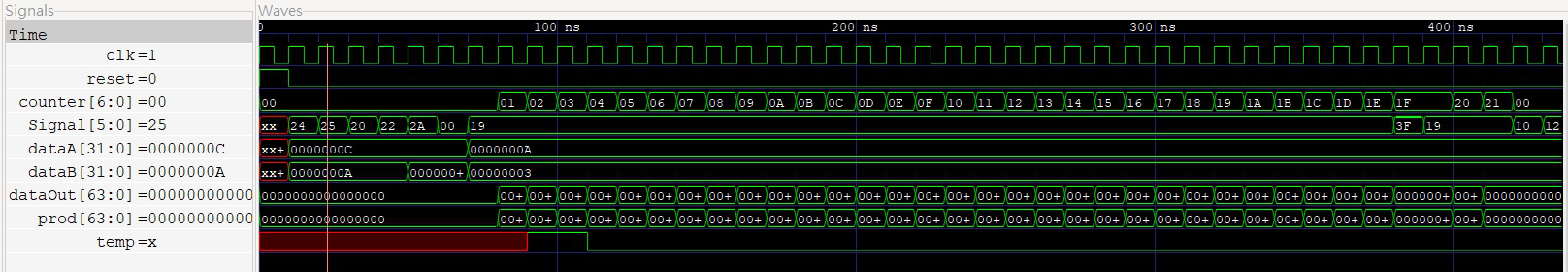
30ns~40ns訊號等於20時為ADD，所以dataA(12) + dataB(10) = 22

40ns~50ns訊號等於22時為SUB，所以dataA(12) - dataB(10) = 2

50ns~60ns訊號等於2A時為SLT，所以dataA(12) < dataB(2) = 0(false)

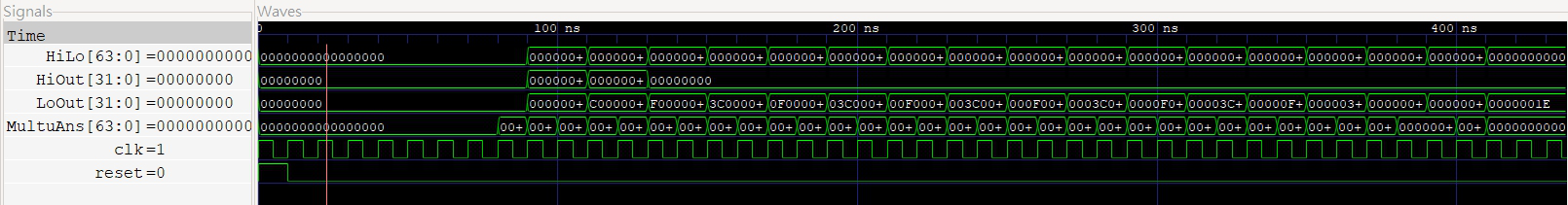
60ns~70ns訊號等於00時為SLL，所以dataA(12)向左移位dataB(2)位元

Multiplier:



70ns~400ns訊號等於25時為MULTU，進行乘法運算

HiLo:



420ns~430ns訊號等於16時為MFHI，擷取乘積的Hi32位元，輸出結果為0

430ns~440ns訊號等於18時為MFLO，擷取乘積的Lo32位元，輸出結果為30

四 . 心得感想

10827124 莊朝翔 :

這次我主要是負責ALU和ALU Control的部分，ALU Slice的部分理解課本的圖之後接線上便十分順利，但SLT功能處理因不熟悉遇到了不少困難，及32-bit ALU中Less輸入和Set輸出也需細心處理才能將其完成，ALU Control一開始我也沒考慮到Shifter的部分，造成統整時有一些問題，但所幸在組員幫助下順利解決，這次project除了讓我對Verilog的程式語言更加熟悉，也能學習到與人分工合作和解決問題的方法。

10827138 廖翊中 :

這次計組的project我主要是跟莊同學朝祥一起負責ALU和ALU control的部分，這是所使用的語法是verilog，跟電子學是一模一樣的，只要照著計組課本上面給的圖一條線一條線接上，就能完成這次所負責的部分。這一系列的課讓我感覺到任何課都是息息相關的，從大一學的邏輯設計，到這學期的電子實驗，到這次的計組project，真的有一點一滴的成長的感覺。

10827139 黃云潔 :

經過這次實際運用上課所學習的，更能了解 Continuous Assignment 和 Procedural Assignment 的差別，也在後來的課程中更了解 Dataflow Modeling 和 Behavior Modeling 寫法上的差別，在面對不一樣的要求時要使用不一樣的寫法。這次我負責乘法器，要求使用循序邏輯，便須與clk同步，以不用迴圈的方式做出不斷右移並在左半邊的product做加上被乘數的動作，利用clk就可以做出迴圈的效果。

10827152 華君豪 :

這次的Project主要負責的是Shifter的部分，雖然邏輯左移,右移在平時撰寫程式以及理解上較容易，但實際使用多個2對1多工器去實現時程序就較繁瑣且複雜，需要細心的將每個線都接對才能完成，也透過各個組員將負責的部分拼湊起來的過程更加了解整個架構的運作，同時也對Verilog的程式語言更加熟悉。

五 .未來展望

經過這次Midterm Project的磨練後，能更精進自己寫Verilog的能力，

也對於Modelsim的操作都變得更加熟悉，不管對於任何的程式語言都更細心琢磨，對於每一次挑戰也可以抱持初心，認真應對，在合作方面組員間也變得更有默契，相信在有了這些基礎之後，能夠更有自信並從容不迫的面對Final Project的挑戰，也希望現在累績的實力在未來也能讓我們好好的發揮我們自己的才能，大展身手。

六 . 分工方式與負責項目

10827124 莊朝翔 : ALU、ALU Control、書面報告

10827138 廖翊中 : ALU、ALU Control、書面報告

10827139 黃云潔 : Multiplier、MUX、書面報告

10827152 華君豪 : Shifter、書面報告